

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043842

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H03B 5/12

H03H 5/12

(21)Application number : 2000-225850

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.07.2000

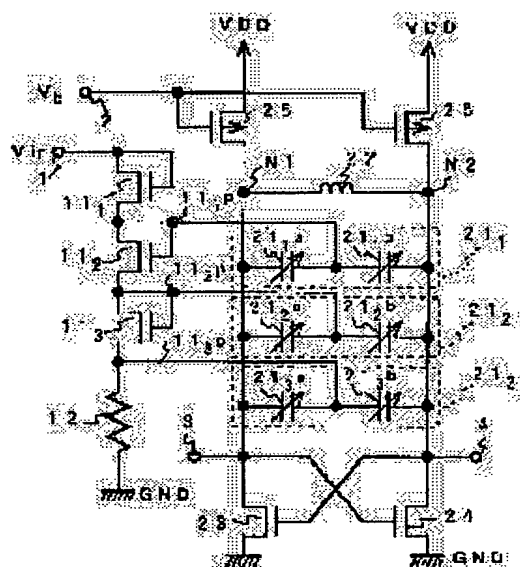
(72)Inventor : OCHIAI TOSHIYUKI

## (54) LC RESONANCE CIRCUIT AND VOLTAGE-CONTROLLED OSCILLATOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an LC resonance circuit, enabling the rate of change of the capacitance of a voltage-controlled variable capacitance element to be set, as desired according to the design, having high-controllability and high-performance voltage-controlled oscillator(VCO) utilizing this circuit.

**SOLUTION:** When a control voltage  $V_{in}$  is inputted, voltage-lowering means NMOS 111-113 for lowering the voltage  $V_{in}$  one after another. The dropped voltages are applied to control electrodes of parallel-connected controlled variable capacitance elements MOS varactors 211-213, to determine the capacitance values of the varactors. An LC resonance circuit, composed of the varactors 211-213 and a coil 22 resonates at a prescribed frequency, switching means NMOS 23, 24 which turn on/off to oscillate at an oscillation frequency according to the control voltage  $V_{in}$ , and this oscillation signal is outputted from terminals 3, 4.



本発明の第1の実施形態のVCO

## LEGAL STATUS

[Date of request for examination]

31.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



【特許請求の範囲】

【請求項1】 第1のノードと第2のノードの間に接続されたコイルと、

制御電極をそれぞれ有し、前記第1のノードと前記第2のノードの間に並列に接続され、その各制御電極にそれぞれ印加される可変電圧によって容量値がそれぞれ変化する $n$ （但し、 $n$ は2以上の正の整数）個の可変容量素子と、

制御電圧が入力される入力端子に接続され、その制御電圧をそれぞれ降下して前記 $n$ 個又は $(n-1)$ 個の可変容量素子の制御電極にそれぞれ与える $m$ （但し、 $m$ は1以上の正の整数）個の電圧降下手段と、  
を有することを特徴とするLC共振回路。

【請求項2】 前記可変容量素子は、MOS型バラクタ又はP/N接合型バラクタで構成したことを特徴とする請求項1記載のLC共振回路。

【請求項3】 前記電圧降下手段は、ゲート電極とドレイン電極を短絡させたダイオード接続によるドレイン電極・ソース電極間の順方向電圧降下を利用したMOSTランジスタ、順方向電圧降下を利用したダイオード、又は、逆方向ブレークダウン電圧を利用したダイオードのいずれかで構成したことを特徴とする請求項1記載のLC共振回路。

【請求項4】 請求項1～3のいずれか1項に記載のLC共振回路を有することを特徴とする電圧制御型発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路（以下「IC」という。）等に形成され、制御電圧によって容量値が変化する電圧制御可変容量素子を用いたLC共振回路と、このLC共振回路を有する電圧制御型発振回路（以下「VCO」という。）に関するものである。

【0002】

【従来の技術】 従来、LC共振回路を有するVCOに関する技術としては、例えば、次のような文献に記載されるものがあった。

文献：1999 VLSI Circuits, (米) "A±30% Tuning Range Varactor Compatible with future Scaled Technology" P.34-35

【0003】 近年の移動体無線装置等の発達に伴って、装置の小型化・低消費電力化のため高周波回路のIC化が盛んに行われている。一般に無線装置向け高周波回路では、この発振源としてVCOが広く用いられている。VCOは、制御電圧によって発振周波数に変化する発振回路である。VCOを例えばMOS-IC化する場合には、ICの製造工程に適合し易いため、上記文献に開示されているようなP/N接合型の電圧制御可変容量素子（これを「P/N接合型バラクタ」ともいう。）或いは

MOS型の電圧制御可変容量素子（これを「MOS型バラクタ」ともいう。）を利用したLC共振回路を有する構成が一般に用いられている。

【0004】

【発明が解決しようとする課題】 従来のVCOに用いられる電圧制御可変容量素子は、上記文献中にも記載されているように、原理的にはP/Nダイオードに印加させる電圧を変化させることにより、このアノード電極・カソード電極間容量が変化する事を利用したもの、或いはMOSキャパシタのゲート電極に加えるゲート電圧を変化させる事によって、このゲート電極・基板間容量が変化する事を利用したものである。このため、いずれの電圧制御可変容量素子においても、制御電圧の変化に対する容量の変化が非常に急峻であるために、これを用いたVCOでは制御電圧の振幅を広くとることができず、また制御電圧に対する出力周波数の直線性が悪く、制御しにくい等の課題があった。

【0005】 本発明は、前記従来技術がもっていた課題を解決し、設計に応じて電圧制御可変容量素子の容量値の変化率を任意に設定可能にし、制御性が良く、高性能なLC共振回路とこれを用いたVCOを提供することを目的とする。

【0006】

【課題を解決するための手段】 前記課題を解決するために、本発明のうちの第1の発明は、LC共振回路において、第1のノードと第2のノードの間に接続されたコイルと、制御電極をそれぞれ有し、前記第1のノードと前記第2のノードの間に並列に接続され、その各制御電極にそれぞれ印加される可変電圧によって容量値がそれぞれ変化する $n$ （但し、 $n$ は2以上の正の整数）個の可変容量素子と、制御電圧が入力される入力端子に接続され、その制御電圧をそれぞれ降下して前記 $n$ 個又は $(n-1)$ 個の可変容量素子の制御電極にそれぞれ与える $m$ （但し、 $m$ は1以上の正の整数）個の電圧降下手段と、を有している。

【0007】 第2の発明は、第1の発明のLC共振回路において、前記可変容量素子は、MOS型バラクタ又はP/N接合型バラクタで構成している。

【0008】 第3の発明は、第1の発明のLC共振回路において、前記電圧降下手段は、ゲート電極とドレイン電極を短絡させたダイオード接続によるドレイン電極・ソース電極間の順方向電圧降下を利用したMOSTランジスタ、順方向電圧降下を利用したダイオード、又は、逆方向ブレークダウン電圧を利用したダイオードのいずれかで構成している。

【0009】 このような構成を採用したことにより、入力端子に制御電圧が入力されると、この制御電圧が $m$ 個の電圧降下手段によってそれぞれ電圧降下され、 $n$ 個の可変容量素子の制御電極にそれぞれ与えられる。各可変容量素子では、制御電極に与えられた電圧によって容量

値が決定される。n個の可変容量素子は並列接続されているので、これらの各容量値を加算した値が合成容量値 $C_t$ となる。このn個の可変容量素子にはコイルが接続されているので、このコイルのリアクタンス値を $L$ とすると、共振周波数は $f = 1 / [2\pi\sqrt{LC_t}]$ となる。

【0010】第4の発明は、VCOにおいて、第1～第3の発明のいずれか1つのLC共振回路を有している。これにより、入力端子に入力される制御電圧が変化すると、LC共振回路内のn個の可変容量素子の容量値が変化し、これに対応して共振周波数 $f$ （即ち発振周波数）が変化する。

【0011】

【発明の実施の形態】図2は、本発明の実施形態の原理を説明するための構成図である。本実施形態では、制御電圧 $V_{in}$ が入力される入力端子1を有し、この入力端子1に $m$ （但し、 $m$ は1以上の正の整数）個の電圧降下手段 $10_1 \sim 10_m$ が接続されている。 $m$ 個の電圧降下手段 $10_1 \sim 10_m$ の出力端子には、 $n$ （但し、 $n$ は2以上の正の整数）個の電圧制御の可変容量素子 $20_1 \sim 20_n$ の制御電極がそれぞれ接続されている。

【0012】このような構成において、入力端子1に容量可変用の制御電圧 $V_{in}$ が入力されると、この制御電圧 $V_{in}$ は各電圧降下手段 $10_1 \sim 10_m$ によって所定の値の電圧降下が行われる。電圧降下後の電圧は、各可変容量素子 $20_1 \sim 20_n$ の制御電極に入力され、これらの各可変容量素子 $20_1 \sim 20_n$ の容量値が決定される。この図2の構成をVCOに適用した例を、以下の第1及び第2の実施形態で説明する。

【0013】（第1の実施形態）図1は、本発明の第1の実施形態を示す相補型MOSTランジスタ（以下「CMOS」という。）の差動型VCOの回路図である。このCMOSの差動型VCOは、制御電圧 $V_{in}$ を入力する入力端子1、バイアス電圧 $V_b$ を入力するバイアス調整端子2、反転出力端子3、及び非反転出力端子4を有している。入力端子1には、 $m$ 個（例えば、3個）の電圧降下手段（例えば、ダイオード接続されたNチャネル型MOSTランジスタ、以下「NMOS」という。） $11_1 \sim 11_3$ が直列に接続されている。各NMOS $11_1 \sim 11_3$ のソース電極が出力端子 $11_p \sim 11_{3p}$ となっている。NMOS $11_3$ の出力端子 $11_{3p}$ は、抵抗 $12$ を介してグラウンド（以下「GND」という。）に接続されている。

【0014】第1のノードN1と第2のノードN2との間には、 $n$ 個（例えば、3個）の可変容量素子（例えば、MOS型バラクタ） $21_1 \sim 21_3$ が並列に接続されている。MOS型バラクタ $21_1$ は、直列に接続された2個のMOS型バラクタ $21_a, 21_b$ で構成されている。同様に、MOS型バラクタ $21_2$ は、直列に接続された2個のMOS型バラクタ $21_2a, 21_2b$ で構

成され、さらにMOS型バラクタ $21_3$ は、直列に接続された2個のMOS型バラクタ $21_3a, 21_3b$ で構成されている。各MOS型バラクタ $21_1 \sim 21_3$ の制御電極は、NMOS $11_1 \sim 11_3$ の出力端子 $11_p \sim 11_{3p}$ にそれぞれ接続されている。また、第1のノードN1と第2のノードN2との間には、コイル $22$ が接続され、このコイル $22$ とMOS型バラクタ $21_1 \sim 21_3$ とで、LC共振回路が構成されている。

【0015】第1のノードN1は反転出力端子3に接続され、第2のノードN2は非反転出力端子4に接続されている。反転出力端子3は、スイッチング用のNMOS $23$ のドレイン電極に接続され、このソース電極がGNDに接続され、ゲート電極が非反転出力端子4に接続されている。非反転出力端子4には、スイッチング用のNMOS $24$ のドレイン電極が接続され、このソース電極がGNDに接続され、ゲート電極が反転出力端子3に接続されている。

【0016】第1のノードN1には、定電流源用のPチャネル型MOSTランジスタ（以下「PMOS」という。）のドレイン電極が接続され、このソース電極が電源VDDに接続され、ゲート電極がバイアス調整端子2に接続されている。また、第2のノードN2には、定電流源用のPMOS $26$ のドレイン電極が接続され、このソース電極が電源VDDに接続され、ゲート電極がバイアス調整端子2に接続されている。バイアス調整端子2に入力されるバイアス電圧 $V_b$ により、PMOS $25$ 及び $26$ の動作点が制御されるようになっている。

【0017】次に、図1のVCOの動作を説明する。入力端子1に制御電圧 $V_{in}$ が入力されると、この制御電圧 $V_{in}$ が、直列に接続されたNMOS $11_1 \sim 11_3$ によって順次電圧降下していく。例えば、各NMOS $11_1 \sim 11_3$ は物理的に同一のランジスタであり、この順方向電圧降下を $V_d$ とすると、抵抗 $12$ の値をNMOS $11_1 \sim 11_3$ が動作するに適切な値とすることで、出力端子 $11_p \sim 11_{3p}$ の電圧がそれぞれ $V_{in} - V_d, V_{in} - 2V_d, V_{in} - 3V_d$ となる。このため、各MOS型バラクタ $21_1 \sim 21_3$ の制御電極に、電圧 $V_d$ ずつシフトした電圧が印加される。これにより、各MOS型バラクタ $21_1 \sim 21_3$ の容量値 $C_{21_1}, C_{21_2}, C_{21_3}$ がそれぞれ決定される。これらの容量値 $C_{21_1}, C_{21_2}, C_{21_3}$ は、並列に接続されているので、合成容量値が $C_t = C_{21_1} + C_{21_2} + C_{21_3}$ となる。

【0018】電源VDDの印加によって、例えば反転出力端子3が“H”レベル、非反転出力端子4が“L”レベルになると、NMOS $24$ がオン状態、NMOS $23$ がオフ状態となる。NMOS $24$ がオン状態になると、電源VDDからPMOS $26$ 、第2のノードN2、及びNMOS $24$ を介してGNDへ電源電流が流れる。この電源電流により、MOS型バラクタ $21_1 \sim 21_3$ 及び

コイル22で構成されるLC共振回路が共振し、反転出力端子3が“L”レベル、非反転出力端子4が“H”レベルになる。これにより、NMOS23がオン状態、NMOS24がオフ状態になる。NMOS23がオン状態になると、電源VDDからPMOS25、第1のノードN1、及びPMOS23を介してGNDに電源電流が流れる。この電源電流によってLC共振回路が共振し、反転出力端子3及び非反転出力端子4の電位が反転する。このような動作によってVCOが発振する。

【0019】コイル22のリアクタンス値をLとすると、VCOは発振周波数 $f = 1 / [2\pi\sqrt{LC_t}]$ で発振し、この発振信号を反転出力端子3及び非反転出力端子4から出力する。入力端子1に入力される制御電圧 $V_{in}$ が変化すると、各MOS型バラクタ211~213の制御電極に入力される電圧も変化するので、これらの各MOS型バラクタ211~213の容量値 $C_{211}$ 、 $C_{212}$ 、 $C_{213}$ も変化し、発振周波数 $f$ も変化することになる。

【0020】図3(a)、(b)は本発明の第1の実施形態のシミュレーション結果を示す図であり、同図

(a)は出力端子11p~113pが同一電圧の場合の容量値-電圧値特性(即ち、C-V特性)を示す図、同図(b)は本実施形態のC-V特性を示す図である。以下、この図3(a)、(b)を参照しつつ、本実施形態の効果を説明する。

【0021】本実施形態と比較するために、図1の出力端子11p~113pに同一の制御電圧 $V_{in}$ を加えた場合について説明する。図3(a)のC-V特性に示すように、MOS型バラクタ211~213の入出力の直線性が良好である制御電圧 $V_{in}$ の範囲は、およそ0.8~1.3Vと約0.5Vの範囲である。

【0022】これに対し、本実施形態では、例えば、NMOS111~113の寸法をゲート長3 $\mu$ m、ゲート幅20 $\mu$ mとし、さらに抵抗12を100k $\Omega$ として、図1のVCOのシミュレーションを行うと、制御電圧 $V_{in}$ に対するMOS型バラクタ211~213の容量値の変化は図3(b)に示すような結果が得られた。この図3(b)から明らかなように、入出力の直線性が良好な範囲は、およそ1.2~2.9Vと約1.7Vとなり、本実施形態を適用する前の図3(a)に比べて3倍以上の直線性が得られたことになる。従って、本実施例では、設計に応じてMOS型バラクタ211~213の容量値の変化率が任意に設定可能となり、制御性が良く、高性能なVCOを実現できる。

【0023】(第2の実施形態)図4は、本発明の第2の実施形態を示すCMOSの差動型VCOの回路図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。

【0024】このCMOSの差動型VCOでは、m個の電圧降下手段を、順方向電圧降下を利用した例えば3個

の直列接続したダイオード131~133で構成している。即ち、入力端子1には、3個のダイオード131~133が順方向に直列に接続され、このダイオード133のカソード電極は、抵抗12を介してGNDに接続されている。各ダイオード131~133のカソード電極側の出力端子131p~133pは、各MOS型バラクタ211~213の制御電極にそれぞれ接続されている。その他の構成は、図1の第1の実施形態と同様である。

【0025】次に、図4のVCOの動作を説明する。入力端子1に制御電圧 $V_{in}$ が入力されると、この制御電圧 $V_{in}$ が直列接続されたダイオード131~133によって順次電圧降下していく。例えば、ダイオード131~133が物理的に同一のダイオードであり、この順方向電圧降下を $V_d$ とすると、抵抗12の値をダイオード131~133が動作するに適切な値とすることで、出力端子131p~133pの電圧がそれぞれ $V_{in}-V_d$ 、 $V_{in}-2V_d$ 、 $V_{in}-3V_d$ となる。このため、電圧 $V_d$ ずつシフトした電圧が、各MOS型バラクタ211~213の制御電極に印加され、これらのMOS型バラクタ211~213の容量値 $C_{211}$ 、 $C_{212}$ 、 $C_{213}$ が決定される。

【0026】そして、第1の実施形態と同様に、MOS型バラクタ211~213とコイル22とで構成されるLC共振回路が共振し、制御電圧 $V_{in}$ に応じた発振周波数で発振し、出力端子3、4から発振信号が出力される。

【0027】図5(a)、(b)は本発明の第2の実施形態のシミュレーション結果を示す図であり、同図

(a)は出力端子131p~133pが同一電圧の場合のC-V特性、及び同図(b)は本実施形態のC-V特性である。以下、この図5(a)、(b)を参照しつつ、本実施形態の効果を説明する。

【0028】例えば、図5(a)に示すように、各MOS型バラクタ211~213の制御電極に同一の制御電圧 $V_{in}$ を加えた場合、このMOS型バラクタ211~213の入出力の直線性が良好である制御電圧 $V_{in}$ の範囲は、およそ0.8~1.3Vと約0.5Vの範囲である。

【0029】これに対し、本実施形態のように、例えば、ダイオード131~133をP/N接合型のダイオードとし、さらに、抵抗12を1k $\Omega$ として、シミュレーションを行うと、制御電圧 $V_{in}$ に対するMOS型バラクタ211~213の容量値の変化は、図5(b)に示すような結果が得られた。この図5(b)から明らかなように、入出力の直線性が良好な範囲は、およそ1.2~3.2Vと約2.0Vとなり、本実施形態を適用する前に比べ4倍程度の直線性が得られたことになる。従って、第1の実施形態よりも制御性の良いVCOを実現できる。

【0030】(利用形態)なお、本発明は上記実施形態

に限定されず、種々の変形や利用形態が可能である。この変形や利用形態としては、例えば、次の(1)～

(4)のようなものがある。

#### 【0031】(1) 図1の変形例

図1の電圧降下手段としてゲート長 $3\mu\text{m}$ 、ゲート幅 $20\mu\text{m}$ の寸法のNMOS11<sub>1</sub>～11<sub>3</sub>を用い、これに接続される抵抗12も $100\text{k}\Omega$ の抵抗値のものを用いているが、これらの寸法や抵抗値はこの値に限ったものではなく、設計に応じて任意に選択することが可能である。また、各NMOS11<sub>1</sub>～11<sub>3</sub>に代えて、直列接続した複数のトランジスタでそれぞれ構成することも可能である。

【0032】さらに、図1では、3個のMOS型バラクタ21<sub>1</sub>～21<sub>3</sub>を用いた例を示したが、この並列接続された可変容量素子の数を増やし、同様に電圧降下手段であるNMOS11<sub>1</sub>～11<sub>3</sub>の段数を増加させる事で、さらに電圧制御幅を増やすことも可能である。

#### 【0033】(2) 図4の変形例

図4では、P/N接合型のダイオード13<sub>1</sub>～13<sub>3</sub>を用い、これに接続される抵抗12も $1\text{k}\Omega$ の抵抗値のものを用いているが、これに限ったものではなく、設計に応じて任意に選択することが可能である。また、各ダイオード13<sub>1</sub>～13<sub>3</sub>に代えて、複数の直列接続したダイオードでそれぞれ構成することも可能である。さらに、図4では、ダイオード13<sub>1</sub>～13<sub>3</sub>の順方向電圧降下を利用しているが、これに代えて、ダイオードの接続する向きを逆とした逆方向ブレイクダウン電圧を利用することも可能であり、これにより図4とほぼ同様の作用、効果が得られる。

【0034】図4では、3個のMOS型バラクタ21<sub>1</sub>～21<sub>3</sub>を用いた例を示したが、この並列接続された可変容量素子の数を増やし、同様に電圧降下手段であるダイオードの段数を増加させる事で、さらに電圧制御幅を増やすことも可能である。

#### 【0035】(3) 図1、図4の利用形態

図1及び図4において、1段目の電圧降下手段であるNMOS11<sub>1</sub>或いはダイオード13<sub>1</sub>を省略し、制御電圧 $V_{in}$ を調整することによってこの制御電圧 $V_{in}$ を直接MOS型バラクタ21<sub>1</sub>の制御電極に印加してもよい。これにより、1段目の電圧降下手段を省略でき、回路構成を簡単化できる。

【0036】図1及び図4では、CMOSの差動型VCOを例として説明したが、このVCOに限ったわけではなく、LC共振回路を利用し、かつその容量値を変換することで発振周波数を変化させる構成を利用する全てのVCO(例えば、ハートレー型、コルピッツ型等)に適用できることは言うまでもない。

【0037】また、可変容量素子としてMOS型バラクタ21<sub>1</sub>～21<sub>3</sub>を例に説明を行ったが、これに限ったものではなく、P/N接合型バラクタを用いることも可

能であり、これにより同様の作用、効果が得られる。可変容量素子の数としては、図1及び図4では3個の並列接続としているが、この数に限ったものではなく、設計に応じて接続数は任意の数とすることができる。また、個々の可変容量素子も図1及び図4のように同一の容量値である必要はなく、設計に応じそれぞれの容量値を個別に適宜設定できる。但し、並列接続した合成容量の値が所望の共振周波数に一致することは言うまでもない。

【0038】そして、電圧降下手段として用いている個々のNMOS11<sub>1</sub>～11<sub>3</sub>或いはダイオード13<sub>1</sub>～13<sub>3</sub>は、図1及び図4では全て同一の性質を持つものを利用しているが、設計に応じてそれぞれの素子寸法や順方向降下電圧 $V_d$ や逆方向ブレイクダウン電圧が異なるものを用いることも可能である。さらに、それぞれの電圧降下手段を、図1及び図4では単一素子で構成しているが、これに限ったものではなく、設計に応じて複数の素子を直列接続することも可能である。但し、いずれの組合せにおいても、前記個々の可変容量素子の容量値可変幅と、各々の電圧降下手段における電圧降下の値とを適宜選択することで、制御電圧 $V_{in}$ に対する容量値可変幅の変化の関係が決定されるため、要求されるC-V特性に応じて任意の組合せを行うのが望ましい。

#### 【0039】

【発明の効果】以上詳細に説明したように、第1～第3の発明によれば、コイルと $n$ 個の可変容量素子と $m$ 個の電圧降下手段とを有しているので、設計に応じて可変容量素子の容量値の変化率を任意に設定できる。

【0040】第4の発明によれば、第1～第3の発明のいずれか1つのLC共振回路を有しているので、制御性が良く、高性能なVCOを実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す差動型VCOの回路図である。

【図2】本発明の実施形態の原理を説明するための構成図である。

【図3】本発明の第1の実施形態のシミュレーション結果を示す図である。

【図4】本発明の第2の実施形態を示す差動型VCOの回路図である。

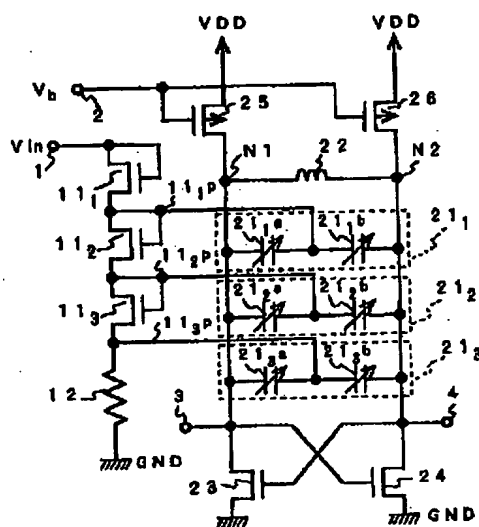
【図5】本発明の第2の実施形態のシミュレーション結果を示す図である。

#### 【符号の説明】

|                                         |          |
|-----------------------------------------|----------|
| 10 <sub>1</sub> ～10 <sub>m</sub>        | 電圧降下手段   |
| 11 <sub>1</sub> ～11 <sub>3</sub> 、23、24 | NMOS     |
| 13 <sub>1</sub> ～13 <sub>3</sub>        | ダイオード    |
| 20 <sub>1</sub> ～20 <sub>n</sub>        | 可変容量素子   |
| 21 <sub>1</sub> ～21 <sub>3</sub>        | MOS型バラクタ |
| 22                                      | コイル      |
| 25、26                                   | PMOS     |
| N1、N2                                   | ノード      |

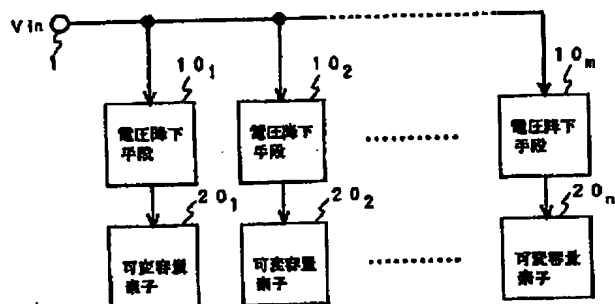
V<sub>in</sub> 制御電圧

【図1】



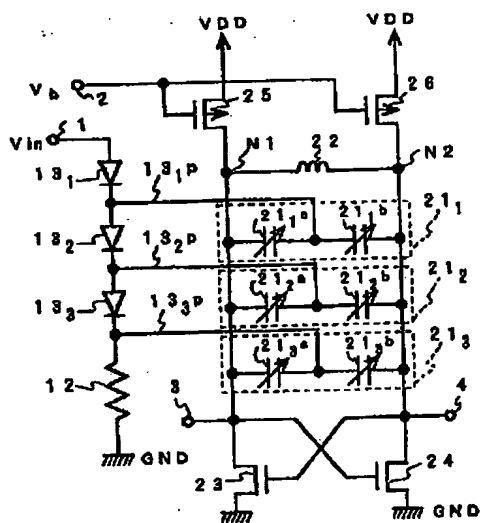
本発明の第1の実施形態のVCO

【図2】



本発明の実施形態の原理

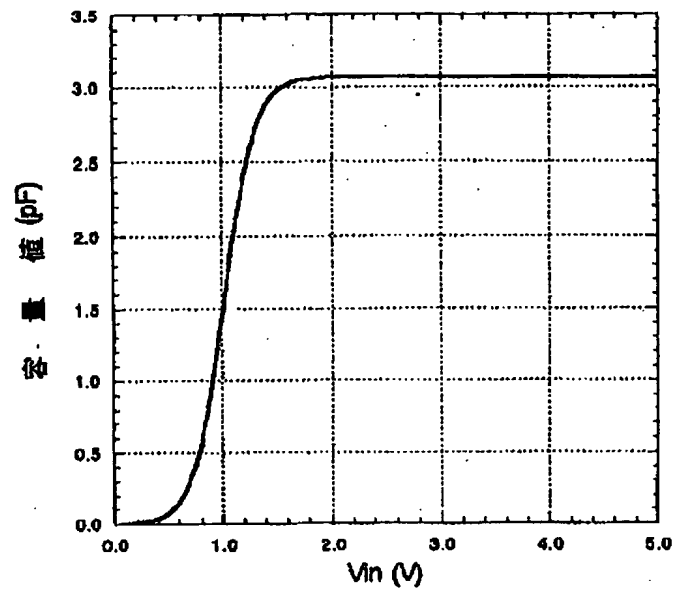
【図4】



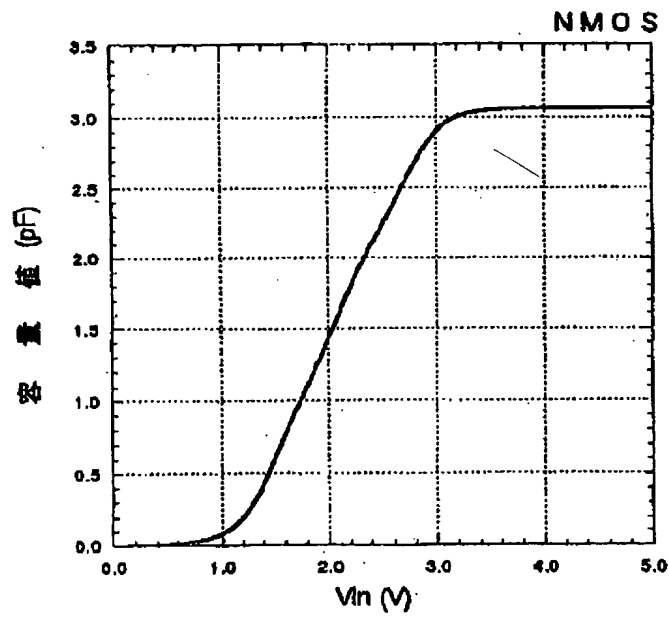
本発明の第2の実施形態のVCO



【図3】



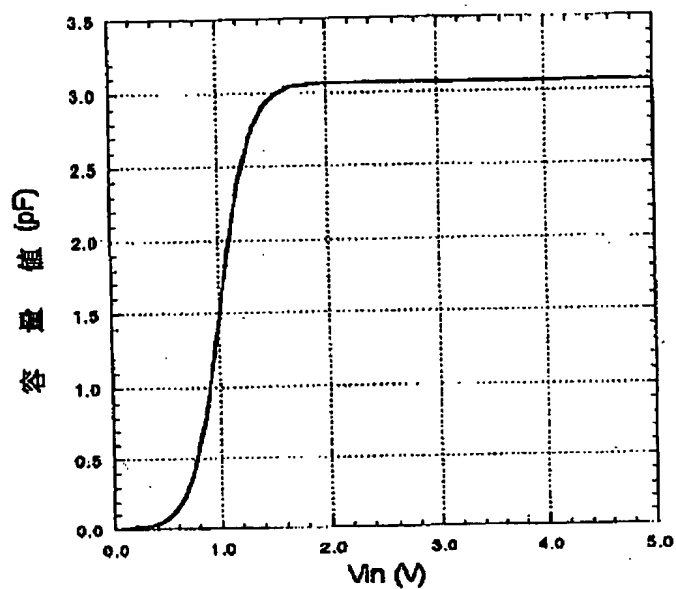
(a) 同一入力電圧の C - V 特性



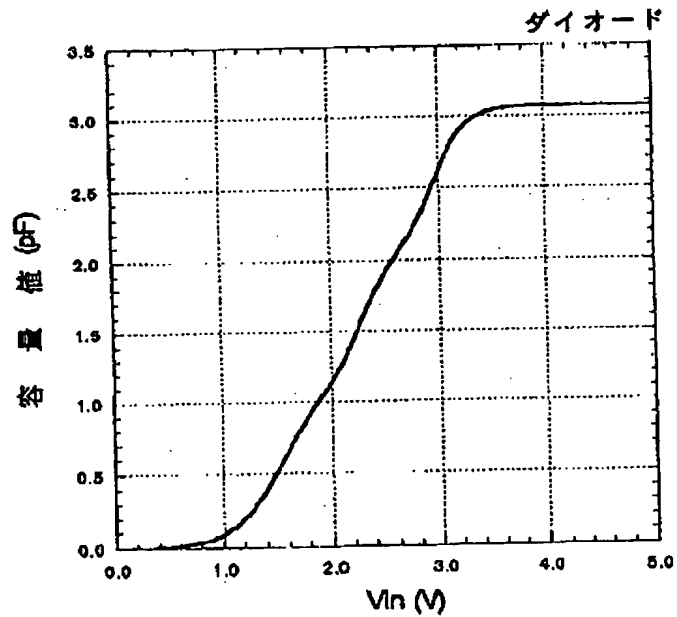
(b) 第 1 の実施形態の C - V 特性

本発明の第 1 の実施形態のシミュレーション結果

【図5】



(a) 同一入力電圧の C - V 特性



(b) 第 2 の実施形態の C - V 特性

本発明の第 2 の実施形態のシミュレーション結果